

## 明 細 書

### スイッチング電源装置

### 技術分野

- [0001] 本発明はスイッチング電源装置、特にトランスの2次巻線から取り出す出力電圧の電力損失を抑制できるスイッチング電源装置に関するものである。

### 背景技術

- [0002] トランスの1次巻線とスイッチング素子とを直流電源に直列に接続し、スイッチング素子をオン・オフ制御することにより、1次巻線及びスイッチング素子に電流を流し、トランスの2次巻線に接続された出力端子から直流電力を取出すスイッチング電源装置は、公知である。スイッチング素子のオン時に1次巻線に流れる電流によりトランスにエネルギーを蓄積して、スイッチング素子のオフ時にトランスに蓄積されたエネルギーを出力電力として取出すスイッチング電源装置は、フライバックコンバータと呼ばれる。フライバックコンバータでは、トランスの2次巻線に整流用ダイオードを接続するため、導通時のダイオードの順方向電圧による電力損失が大きく、電力変換効率が低下する欠点がある。
- [0003] そこで、例えば下記特許文献1に示されるように、2次巻線に接続されるダイオードの順方向電圧による電力損失を低減するため、同期整流回路の同期整流用スイッチング素子として同期整流用パワーMOSFETを2次巻線に接続して、逆方向電流の通流を阻止してトランスの負荷を軽減し、かつ順方向電圧降下を低減するスイッチング電源装置が提案されている。このスイッチング電源装置では、フライバックコンバータ回路、フォワードコンバータ回路等を基本回路とするスイッチング電源装置のプルストランスの2次巻線側に出力電流を整流する同期整流用パワーMOSFETを接続し、同期整流用パワーMOSFETのソース・ドレイン間に流れる電流方向の変化をコンパレータ回路により監視し、コンパレータ回路から同期整流用パワーMOSFETのゲートに供給するゲート駆動信号により順方向電流及び逆方向電流を制御する。
- [0004] 特許文献1：特開平7-7928号公報（第6頁、図1）

### 発明の開示

### 発明が解決しようとする課題

[0005] ところで、スイッチング電源装置では、同期整流用スイッチング素子の駆動信号を形成する様々な方式の同期整流回路が提案されている。例えば、上記のスイッチング電源装置に示されるように同期整流用スイッチング素子の端子電圧を検出する方式、トランスの2次側電圧を検出する方式又は同期整流用スイッチング素子に流れる電流を検出する方式がある。同期整流用スイッチング素子の端子電圧又はトランスの2次側電圧を検出する方式では、2次側電流と2次側電圧の位相とが必ずしも一致しないため、出力電力に無効分が生じ、トランスの2次側の同期整流回路に電力損失が発生する問題があった。また、同期整流用スイッチング素子に流れる電流を検出する方式では、電流検出用抵抗や電流トランス等の電流検出手段がトランスの2次巻線側の同期整流回路内に挿入されるため、電流検出手段に電力損失が発生する問題があった。

[0006] そこで、本発明は、トランスの2次巻線から取り出す出力電圧の電力損失を抑制できるスイッチング電源装置を提供することを目的とする。

### 課題を解決するための手段

[0007] 本発明によるスイッチング電源装置は、トランス(2)の1次巻線(3)と主スイッチング素子(4)とを直流電源(1)に直列に接続し、主スイッチング素子(4)をオン・オフ制御することにより、トランス(2)の1次巻線(3)及び主スイッチング素子(4)に電流を流し、トランス(2)の2次巻線(6)に接続された出力端子(7,8)から直流電力を取り出す。このスイッチング電源装置は、トランス(2)の2次巻線(6)と出力端子(7,8)との間に接続された同期整流用スイッチング素子(9)と、トランス(2)の2次巻線(6)に対して並列に接続され且つ主スイッチング素子(4)のオン時にエネルギーを蓄積するリアクトル(11)と、リアクトル(11)と同期整流用スイッチング素子(9)の制御端子とに接続された同期整流制御回路(12)とを備える。同期整流制御回路(12)は、リアクトル(11)にエネルギーを蓄積する期間は、同期整流用スイッチング素子(9)をオフに保持し、リアクトル(11)に蓄積されたエネルギーを放出する期間は、同期整流用スイッチング素子(9)をオンに保持し、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、同期整流用スイッチング素子(9)をオフにする。

[0008] このスイッチング電源装置では、リアクトル(11)のエネルギーの蓄積期間及び放出期間に応じて同期整流制御回路(12)により同期整流用スイッチング素子(9)をオン・オフ制御するため、入力電圧(E)及び出力電圧( $V_o$ )が変動しても効率よく同期整流動作を行うことができる。このため、幅広い入出力範囲でトランス(2)の2次巻線(6)から取り出す出力電圧( $V_o$ )の電力損失を抑制することができる。また、リアクトル(11)に蓄積される全エネルギーを出力側に送出すると共に、トランス(2)の整流素子による電力損失が小さいため、同期整流回路での電力損失を最小限に抑えることができる。

### 発明の効果

[0009] 本発明によれば、トランスの2次巻線と並列に接続されたリアクトルのエネルギーの蓄積期間及び放出期間に応じて同期整流用スイッチング素子がオン・オフ制御され、入力電圧及び出力電圧が変動しても効率よく同期整流動作を行うことができるので、幅広い入出力範囲でトランスの2次巻線から取り出す出力電圧の電力損失を抑制することが可能である。また、リアクトルに蓄積されたエネルギーも全て出力側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

### 図面の簡単な説明

[0010] [図1]本発明によるスイッチング電源装置の一実施の形態を示す電気回路図(実施例1)

[図2]図1の回路各部の電圧及び電流を示すタイミングチャート

[図3]図1の変更実施の形態を示す電気回路図(実施例2)

[図4]定格負荷時での図3の回路各部の電圧及び電流を示すタイミングチャート

[図5]軽負荷時での図3の回路各部の電圧及び電流を示すタイミングチャート

[図6]本発明の他の実施の形態を示す電気回路図(実施例3)

[図7]図1の同期整流制御回路をEX-ORゲートで構成した実施の形態を示す電気回路図(実施例4)

[図8]図7の変更実施の形態を示す電気回路図

[図9]図8の変更実施の形態を示す電気回路図

[図10]図1の同期整流制御回路をANDゲート及び反転器で構成した実施の形態を示す電気回路図(実施例5)

[図11]図10の同期整流制御回路を3つのNANDゲートで構成した実施の形態を示す電気回路図

[図12]図1のもう一つの変更実施の形態を示す電気回路図(実施例6)

### 符号の説明

- [0011] (1)・・直流電源、(2)・・トランス、(3)・・1次巻線、(4)・・主MOS-FET(主スイッチング素子)、(5)・・主制御回路、(6)・・2次巻線、(7,8)・・出力端子、(9)・・同期整流用MOS-FET(同期整流用スイッチング素子)、(9a)・・寄生ダイオード、(10)・・出力平滑コンデンサ、(11)・・リアクトル、(12)・・同期整流制御回路、(13)・・切換回路、(14)・・リセット検出回路、(15)・・第1のダイオード(整流素子)、(16)・・第1の反転器(リセット電圧検出手段)、(17)・・第2のダイオード(リセット電圧検出手段)、(18)・・第3のダイオード、(19,20)・・分圧抵抗、(21)・・NORゲート(切換制御手段)、(22)・・コンデンサ、(23)・・第2の反転器、(24)・・第4のダイオード、(25)・・抵抗、(26)・・保持回路、(30)・・3次巻線、(31)・・第1のNPNトランジスタ(リアクトル電流検出手段)、(32,38)・・抵抗、(33,35,36)・・ダイオード、(34)・・PNPトランジスタ、(37)・・第2のNPNトランジスタ、(40)・・EX-ORゲート(同期整流制御回路)、(40a)・・第1の入力端子、(40b)・・第2の入力端子、(40c)・・出力端子、(41,42)・・第1のレベルシフト用抵抗、(43,44)・・第2のレベルシフト用抵抗、(45)・・第1のクランプ用ダイオード、(46)・・第2のクランプ用ダイオード、(50)・・ANDゲート、(50a)・・第1の入力端子、(50b)・・第2の入力端子、(50c)・・出力端子、(51)・・反転器、(52)・・第1のNANDゲート、(53)・・第2のNANDゲート、(54)・・第3のNANDゲート、(60)・・駆動用NPNトランジスタ、(61)・・駆動用MOS-FET、(62)・・第1の抵抗、(63)・・NORゲート、(64)・・第2の抵抗

### 発明を実施するための最良の形態

- [0012] 以下、本発明によるスイッチング電源装置の6つの実施の形態を図1乃至図12について説明する。

#### 実施例 1

- [0013] 本発明の一実施の形態を示す実施例1のスイッチング電源装置は、図1に示すように、直流電源(1)に対して直列に接続されたトランス(2)の1次巻線(3)及び主スイッチ

グ素子としての主MOS-FET(4)と、主MOS-FET(4)をオン・オフ制御する主制御回路(5)と、トランス(2)の2次巻線(6)と出力端子(7,8)との間に接続された同期整流用スイッチング素子としての同期整流用MOS-FET(9)及び出力平滑コンデンサ(10)と、トランス(2)の2次巻線(6)に対して並列に接続され且つ主MOS-FET(4)のオン時にエネルギーが蓄積されるリアクトル(11)と、リアクトル(11)と同期整流用MOS-FET(9)のゲート端子との間に接続され且つリアクトル(11)にエネルギーを蓄積する期間は同期整流用MOS-FET(9)をオフに保持し、リアクトル(11)に蓄積されたエネルギーを放出する期間は同期整流用MOS-FET(9)をオンに保持し、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用MOS-FET(9)をオフにする同期整流制御回路(12)とを備える。なお、同期整流用MOS-FET(9)はドレイン・ソース端子間に寄生ダイオード(9a)を有する。

[0014] 同期整流制御回路(12)は、切換回路(13)と、切換回路(13)を制御するリセット回路(14)とを備えている。切換回路(13)は、リアクトル(11)の他端(下側)と負側出力端子(8)との間に接続された分圧抵抗(19,20)と、分圧抵抗(19,20)の分圧点に発生する電圧によりリアクトル(11)にエネルギーを蓄積する蓄積期間を検出する第1の入力端子、リセット検出回路(14)に接続された第2の入力端子及び同期整流用MOS-FET(9)のゲート端子に接続された出力端子を有する切換制御手段としてのNORゲート(21)とを備えている。また、負側出力端子(8)とNORゲート(21)の第2の入力端子との間には、コンデンサ(22)が接続され、NORゲート(21)の第2の入力端子と分圧抵抗(19,20)の分圧点との間には、第2の反転器(23)及び第4のダイオード(24)が直列に接続される。

[0015] リセット検出回路(14)は、トランス(2)の2次巻線(6)の一端(黒点側)とリアクトル(11)の一端(上側)との間に接続された整流素子としての第1のダイオード(15)と、第1のダイオード(15)に接続されたリセット電圧検出手段を構成する第1の反転器(16)と、第1の反転器(16)とコンデンサ(22)との間に直列に接続された第2のダイオード(17)と、第1のダイオード(15)及び第1の反転器(16)の接続点と負側出力端子(8)との間に接続され第3のダイオード(18)とを有する。第1の反転器(16)は、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに、第1のダイオード(15)とリアクトル(11)の一端との接

続点Bに発生するリセット電圧 $V_B$ の低下を検出して切換回路(13)を消勢切換状態に切り換える。第3のダイオード(18)は、リセット電圧 $V_B$ の低下時の最低電圧を0[V]にクランプする。

- [0016] 動作の際に、主制御回路(5)から主MOS-FET(4)のゲート端子に図2(F)に示す高電圧レベルの主制御信号 $V_G$ を付与して、主MOS-FET(4)をオンさせると、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。ここで、直流電源(1)の電圧を $E[V]$ 、トランス(2)の1次巻線(3)のインダクタンスを $L_P[H]$ とすると、主MOS-FET(4)のオン期間 $t_{ON}[s]$ 中にエネルギー：

$$(E^2/2L_P) \times t_{ON}^2 [J]$$

がトランス(2)に蓄積される。また、図2(B)に示すようにトランス(2)の2次巻線(6)には電流が流れず、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれ $N_P, N_S$ とすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧 $V_S$ ：

$$V_S = (N_S/N_P) \times E[V]$$

が発生する。このとき、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ は図2(A)に示すようにトランス(2)の2次巻線(6)に発生する電圧 $V_S$ に略等しく、リアクトル(11)の一端と第1のダイオード(15)との接続点Bの電圧 $V_B$ は図2(D)に示すように出力端子(7,8)間の直流出力電圧 $V_O$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_O + V_F$ に略等しいため、第1のダイオード(15)を介してリアクトル(11)に電流 $I_L$ が流れる。ここで、リアクトル(11)のインダクタンスを $L[H]$ とすると、図2(C)に示すようにリアクトル(11)に流れる電流 $I_L$ が毎秒 $V_S/L$ の割合で1次関数的に増加し、主MOS-FET(4)のオン期間 $t_{ON}[s]$ 中にエネルギー：

$$(V_S^2/2L) \times t_{ON}^2 [J]$$

がリアクトル(11)に蓄積される。

- [0017] 一方、同期整流用MOS-FET(9)のドレイン・ソース端子間には、トランス(2)の2次巻線(6)の電圧 $V_S$ ：

$$V_S = (N_S/N_P) \times E[V]$$

と出力端子(7,8)間の直流出力電圧 $V_O$ との和電圧：

$$V_S + V_O$$

が発生する。この和電圧 $V_s + V_o$ は、同期整流制御回路(12)を構成する切換回路(13)内の分圧抵抗(19,20)により分圧され、分圧抵抗(19,20)の分圧点の電圧がNORゲート(21)の第1の入力端子に入力される。分圧抵抗(19,20)の各抵抗値は、軽負荷時等で発生するリンギングによる同期整流用MOS-FET(9)の誤動作を防止するため、主MOS-FET(4)がオンのときはNORゲート(21)の閾値電圧を超え、リンギングのときはNORゲート(21)の閾値電圧を超えないように分圧点の電圧が設定される。よって、主MOS-FET(4)がオンのときは分圧抵抗(19,20)の分圧点の電圧が高電圧レベルとなるので、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に低電圧レベルの同期制御信号 $V_{sc}$ が付与され、切換回路(13)は消勢状態を保持する。これにより、同期整流用MOS-FET(9)はオフを保持する。このとき、第2の反転器(23)にも分圧抵抗(19,20)の分圧点からの高電圧レベルの電圧が印加されるため、第2の反転器(23)の出力は低電圧レベルとなり、コンデンサ(22)が低電圧レベルとなる。また、このときは同期整流制御回路(12)を構成するリセット検出回路(14)内の第1の反転器(16)にリアクトル(11)の一端と第1のダイオード(15)との接続点Bからの高電圧レベルの電圧が印加され、第1の反転器(16)の出力が低電圧レベルとなるので、コンデンサ(22)の低電圧レベルに保持される。

[0018] 次に、図2(F)に示すように主制御回路(5)から主MOS-FET(4)のゲート端子に付与される主制御信号 $V_g$ が時刻 $t_1$ において高電圧レベルから低電圧レベルになると、主MOS-FET(4)がオンからオフに切り換えられ、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_s$ ：

$$V_s = (N_s / N_p) \times E[V]$$

が発生する。このとき、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ が図2(A)に示すように略0[V]となり、このため、分圧抵抗(19,20)の分圧点が低電圧レベルとなるので、NORゲート(21)の第1の入力端子には低レベルの電圧が印加される。一方、第2の反転器(23)の出力は高電圧レベルになるが、第4のダイオード(24)によりブロックされ、コンデンサ(22)は低電圧レベルに保持されるので、NORゲート(21)の第2の入力端子にも低レベルの電圧が印加される。したがって、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制

御信号 $V_{SC}$ が低電圧レベルから高電圧レベルとなり、切換回路(13)は消勢状態から付勢状態に切り換わるので、同期整流用MOS-FET(9)がオンとなる。

[0019] 同期整流用MOS-FET(9)が時刻 $t_1$ にオンになると、主MOS-FET(4)のオン期間 $t_{ON}$  [s]中にトランス(2)の2次巻線(6)に蓄積されたエネルギー:

$$(E^2/2L_p) \times t_{ON}^2 [J]$$

が放出され、図2(B)に示すようにトランス(2)の2次巻線(6)から出力端子(7,8)に電流 $I_s$ が流れる。ここで、トランス(2)の2次巻線(6)のインダクタンスを $L_s$  [H]とすると、同期整流用MOS-FET(9)のオン期間中に、2次巻線(6)の電流 $I_s$ が毎秒 $V_o/L_s$ の割合で1次関数的、即ち直線的に減少するため、2次巻線(6)に蓄積されたエネルギーが:

$$(V_o^2/2L_s) \times t^2$$

の傾きで減少する。トランス(2)の1次巻線(3)及び2次巻線(6)のインダクタンス $L_p, L_s$  [H]と巻数 $N_p, N_s$ との間には下式:

$$L_s = (N_s/N_p)^2 \times L_p$$

の関係が成立するので、トランス(2)に蓄積されたエネルギーの放出時間 $t_T$ は、

$$t_T = (N_s \cdot E / N_p \cdot V_o) \times t_{ON} [s]$$

となる。これと同時に、主MOS-FET(4)のオン期間 $t_{ON}$  [s]中にリアクトル(11)に蓄積されたエネルギー:

$$(V_s^2/2L) \times t_{ON}^2 [J]$$

は、第1のダイオード(15)を介して放出され、図2(C)に示すようにリアクトル(11)に流れる電流 $I_L$ が毎秒 $V_o/L$ の割合で1次関数的(直線的)に減少する。これにより、リアクトル(11)に蓄積されたエネルギーが同期整流用MOS-FET(9)のオン期間中に傾き:

$$(V_o^2/2L) \times t^2$$

で減少する。よって、リアクトル(11)に蓄積されたエネルギーの放出時間 $t_L$ は:

$$t_L = (N_s \cdot E / N_p \cdot V_o) \times t_{ON} [s]$$

となり、トランス(2)に蓄積されたエネルギーの放出時間 $t_T$ に略等しくなる。

[0020] 時刻 $t_2$ にてリアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に流れる電流 $I_L$ が図2(C)に示すように略0になると、リアクトル(11)の一端と第1のダイオード(15)との接続点Bでのリセット電圧 $V_B$ は、図2(D)に示すように $V_o + V_F$  [V]から急激



に略0[V]まで低下する。このとき、リセット検出回路(14)内の第1の反転器(16)に低レベルの電圧が印加され、第1の反転器(16)から第2のダイオード(17)を介してコンデンサ(22)に高電圧レベルの電圧が印加される。これにより、コンデンサ(22)が充電され、切換回路(13)内のNORゲート(21)の第2の入力端子に高電圧レベルの電圧が印加される。また、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ は図2(A)に示すように略0[V]であるから、切換回路(13)内の分圧抵抗(19,20)の分圧点の電圧は低電圧レベルを保持し、NORゲート(21)の第1の入力端子には低レベルの電圧が印加される。したがって、図2(E)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が高電圧レベルから低電圧レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。これにより、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。このとき、第2の反転器(23)にも分圧抵抗(19,20)の分圧点からの低レベルの電圧が印加され、第2の反転器(23)の出力が高電圧レベルとなるが、第2の反転器(23)の出力は第4のダイオード(24)によりブロックされるため、コンデンサ(22)の電圧は、主MOS-FET(4)が再びオンとなる時刻 $t_3$ まで高電圧レベルを保持する。また、時刻 $t_2$ から時刻 $t_3$ までの期間では、図2(F)に示すように主MOS-FET(4)が未だオフ状態であるため、図2(A)に示すようにリアクトル(11)の他端と分圧抵抗(19)との接続点Aにリンギングによる振動電圧が発生する。

[0021] 実際には、時刻 $t_2$ にリアクトル(11)に蓄積されたエネルギーの放出が完了した後、リアクトル(11)の一端と第1のダイオード(15)との接続点Bでのリセット電圧 $V_B$ が図2(D)に示すようにリアクトル(11)のインダクタンスと第3のダイオード(18)の寄生容量等による共振周期で低下するので、リセット検出回路(14)内の第1の反転器(16)の入力が低電圧レベルとなる時刻がトランス(2)に蓄積されたエネルギーの放出が完了する時刻より遅れる場合がある。この場合は、リアクトル(11)と直列に抵抗を接続してリアクトル(11)に蓄積されたエネルギーの放出が完了するまでの時間を短縮させて、トランス(2)の1次巻線(3)側にエネルギーを回生させずに同期整流動作を行うことができる。

[0022] 実施例1では、切換回路(13)は、主MOS-FET(4)のオン時に、同期整流用MOS-FET(9)をオフに保持して、リアクトル(11)にエネルギーを蓄積する消勢状態と、主MOS

-FET(4)のオフ時に同期整流用MOS-FET(9)をオンに切り換えてリアクトル(11)に蓄積されたエネルギーを放出する付勢状態と、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに同期整流用MOS-FET(9)をオフに切り換える消勢切換状態とを有する。また、リセット検出回路(14)は、リアクトル(11)に蓄積されたエネルギーの放出が完了したときに、リアクトル(11)のリセットを検出して、切換回路(13)を消勢切換状態に切り換えて同期整流用MOS-FET(9)をオフにする。これにより、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、リセット検出回路(14)により切換回路(13)を消勢切換状態に切り換えて同期整流用スイッチング素子(9)を確実にオフに切り換えることができる。

- [0023] このように、実施例1では、トランス(2)の2次巻線(6)に並列に接続されたリアクトル(11)のエネルギーの蓄積期間及び放出期間に応じて同期整流用MOS-FET(9)をオン・オフ制御するので、直流電源(1)の電圧 $E$ 及び出力端子(7,8)間の直流出力電圧 $V_o$ が変動しても同期整流動作の期間が自動的に調整され、効率よく同期整流動作を行うことができる。したがって、幅広い入出力範囲でトランス(2)の2次巻線(6)から同期整流用MOS-FET(9)及び出力平滑コンデンサ(10)を介して取り出す直流出力電圧 $V_o$ の電力損失を抑制することが可能である。また、リアクトル(11)に蓄積されたエネルギーも全て出力端子(7,8)側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

## 実施例 2

- [0024] 実施例1は変更が可能である。例えば、実施例1の変更実施の形態を示す実施例2のスイッチング電源装置では、図3に示すように、図1に示すコンデンサ(22)及び第2のダイオード(17)の接続点と第4のダイオード(24)との間に抵抗(25)を接続し、コンデンサ(22)、第2の反転器(23)、第4のダイオード(24)及び抵抗(25)で保持回路(26)を構成する。保持回路(26)は、リアクトル(11)の他端と分圧抵抗(19)との接続点Aに発生する電圧 $V_A$ のパルス幅が狭いときに、NORゲート(21)の第2の入力端子の電圧を高電圧レベルに保持して切換回路(13)を消勢状態に保持する。その他の構成は、図1に示す実施例1のスイッチング電源装置と略同様である。

- [0025] 図3に示すスイッチング電源装置では、図示しない定格負荷が出力端子(7,8)に接

続される場合、主MOS-FET(4)のオフ期間中にリアクトル(11)に蓄積されたエネルギーの放出が完了すると、図4(B)に示すように、時刻 $t_1$ にリアクトル(11)の一端と第1のダイオード(15)との接続点Bでのリセット電圧 $V_B$ は、 $V_O + V_F$  [V]からリアクトル(11)のインダクタンスと第3のダイオード(18)の寄生容量等による共振周期で略0[V]まで低下する。このとき、リセット検出回路(14)内の第1の反転器(16)に低レベルの電圧が印加され、第1の反転器(16)から第2のダイオード(17)を介してコンデンサ(22)に高電圧レベルの電圧が印加され、コンデンサ(22)が充電される。これにより、図4(D)に示すようにコンデンサ(22)の電圧 $V_C$ が0[V]から高電圧レベルとなり、切換回路(13)内のNORゲート(21)の第2の入力端子に高電圧レベルの電圧が印加される。また、図4(A)に示すようにリアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ は略0[V]であるから、切換回路(13)内の分圧抵抗(19,20)の分圧点は、低電圧レベルに保持され、NORゲート(21)の第1の入力端子には低レベルの電圧が印加される。したがって、図4(C)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が高電圧レベルから低電圧レベルとなり、同期整流用MOS-FET(9)が自動的にオンからオフに切り換えられる。このとき、分圧抵抗(19,20)の分圧点からの低レベルの電圧が保持回路(26)を構成する第2の反転器(23)に印加され、第2の反転器(23)の出力が高電圧レベルとなるが、第2の反転器(23)の出力は第4のダイオード(24)によりブロックされるため、図4(D)に示すようにコンデンサ(22)の電圧 $V_C$ は、主MOS-FET(4)がオンとなる時刻 $t_2$ まで高電圧レベルに保持される。また、時刻 $t_1$ から時刻 $t_2$ までの期間では、主MOS-FET(4)がオフ状態のため、図4(A)に示すようにリアクトル(11)の他端と分圧抵抗(19)との接続点Aにリングングによる電圧が発生する。

[0026] 時刻 $t_2$ に主MOS-FET(4)がオフからオンに切り換えられると、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ は、図4(A)に示すようにトランス(2)の2次巻線(6)に発生する電圧 $V_s$ は、

$$V_s = (N_s / N_p) \times E [V]$$

に略等しくなり、リアクトル(11)の一端と第1のダイオード(15)との接続点Bのリセット電圧 $V_B$ が図4(B)に示すように出力端子(7,8)間の直流出力電圧 $V_O$ と第1のダイオード

(15)の順方向電圧 $V_F$ との和電圧 $V_O + V_F$ に略等しくなる。一方、同期整流用MOS-FET(9)のドレイン・ソース端子間には、トランス(2)の2次巻線(6)の電圧 $V_s$ と出力端子(7,8)間の直流出力電圧 $V_O$ との和電圧 $V_s + V_O$ が発生する。この和電圧 $V_s + V_O$ は、切換回路(13)内の分圧抵抗(19,20)により分圧され、分圧抵抗(19,20)の分圧点の電圧がNORゲート(21)の第1の入力端子に入力される。このとき、分圧抵抗(19,20)の分圧点の電圧が高電圧レベルとなるので、図4(C)に示すようにNORゲート(21)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が低電圧レベルに保持され、同期整流用MOS-FET(9)は、オフ状態に保持される。このとき、保持回路(26)を構成する第2の反転器(23)に分圧抵抗(19,20)の分圧点からの高電圧レベルの電圧が印加され、第2の反転器(23)の出力が低電圧レベルとなるため、コンデンサ(22)の静電容量と抵抗(25)の抵抗値との積で決まる時定数で、抵抗(25)及び第4のダイオード(24)を介してコンデンサ(22)が放電される。これにより、図4(D)に示すようにコンデンサ(22)の電圧 $V_C$ が1次関数的に低下し、NORゲート(21)の閾値電圧 $V_{TH}$ 以下になると、NORゲート(21)の第2の入力端子の低電圧レベルとなり、時刻 $t_3$ においてコンデンサ(22)の放電が完了して0[V]となる。図示しない負荷に定格電力を供給する場合は、主MOS-FET(4)のオン期間が長いため、コンデンサ(22)の放電終了時刻 $t_3$ よりも遅延する時刻 $t_4$ で主MOS-FET(4)がオンからオフとなる。時刻 $t_4$ 以降の動作は、図1に示す実施例1のスイッチング電源装置と略同様である。

[0027] また、出力端子(7,8)に接続される図示しない負荷が軽負荷の場合は、主MOS-FET(4)のオン期間が定格負荷時よりも短くなるため、図5(A)に示すようにリアクトル(11)の下端と分圧抵抗(19)との接続点Aに発生する電圧 $V_A$ のパルス幅が狭くなる。したがって、図5(A)に示すようにコンデンサ(22)の放電終了時刻 $t_3$ よりも早い時刻 $t_5$ でリアクトル(11)の下端と分圧抵抗(19)との接続点Aの電圧 $V_A$ が略0[V]となるため、時刻 $t_5$ において切換回路(13)内の分圧抵抗(19,20)の分圧点の電圧が低電圧レベルとなり、NORゲート(21)の第1の入力端子に低レベルの電圧が入力される。また、主MOS-FET(4)のオン期間、即ち図5に示す時刻 $t_2$ から時刻 $t_5$ までの期間は分圧抵抗(19,20)の分圧点が高電圧レベルであるため、保持回路(26)を構成する第2の反転器(23)の出力が低電圧レベルとなり、コンデンサ(22)が抵抗(25)及び第4のダイオード

(24)を介してコンデンサ(22)の静電容量と抵抗(25)の抵抗値との積で決まる時定数で放電される。これにより、図5(D)に示すようにコンデンサ(22)の電圧 $V_C$ が1次関数的に低下する。時刻 $t_5$ において、切換回路(13)内の分圧抵抗(19,20)の分圧点が低電圧レベルになると、保持回路(26)を構成する第2の反転器(23)の出力が高電圧レベルとなるため、コンデンサ(22)が抵抗(25)及び第4のダイオード(24)を介して放電できなくなり、図5(D)に示すようにコンデンサ(22)の電圧 $V_C$ がNORゲート(21)の閾値電圧 $V_{TH}$ よりも高い電圧に保持される。したがって、軽負荷時は切換回路(13)を構成するNORゲート(21)の第2の入力端子が高電圧レベルに保持されるので、図5(C)に示すようにNORゲート(21)の出力が低電圧レベルに保持され、切換回路(13)は消勢状態を保持する。よって、軽負荷時は、同期整流用MOS-FET(9)がオフに保持されるため、同期整流用MOS-FET(9)による同期整流動作は行われず、寄生ダイオード又は外付けのダイオード(9a)により整流が行われる。

- [0028] 実施例2では、軽負荷時に主MOS-FET(4)をオンするパルス幅が狭くなり、リアクトル(11)の他端と分圧抵抗(19)との接続点Aに発生する電圧 $V_A$ のパルス幅が狭くなったとき、保持回路(26)によりNORゲート(21)の第2の入力端子の電圧が高電圧レベルに保持されるため、切換回路(13)の消勢状態が保持される。これにより、同期整流用MOS-FET(9)がオフに保持されて同期整流動作が停止するため、軽負荷時に整流回路での電力損失を最小限に抑えることができる。

### 実施例 3

- [0029] また、本発明の他の実施の形態を示す実施例3のスイッチング電源装置は、図6に示すように、トランス(2)の2次巻線(6)の上(黒点)側と正側出力端子(7)との間に接続された同期整流用MOS-FET(9)と、トランス(2)の2次巻線(6)と直列に接続された3次巻線(30)と、リアクトル電流検出手段としての第1のNPNTランジスタ(31)と、同期整流用MOS-FET(9)を制御する同期整流制御回路(12)を備えている。第1のNPNTランジスタ(31)は、リアクトル(11)の一端に接続されるベース端子と、トランス(2)の2次巻線(6)及び3次巻線(30)の接続点に接続されるエミッタ端子と、同期整流制御回路(12)に接続されるコレクタ端子とを有する。第1のNPNTランジスタ(31)は、ベース端子に流れる電流によりリアクトル(11)にエネルギーを蓄積する電流 $I_L$ 又はリアクトル(11)に蓄積さ

れたエネルギーを放出する電流 $I_L$ を検出する。同期整流制御回路(12)は、PNPトランジスタ(34)と、第2のNPNトランジスタ(37)と、2つのダイオード(35,36)のアノード端子とダイオード(33)のカソード端子との間に接続された抵抗(38)とを備えている。PNPトランジスタ(34)は、抵抗(32)を介して第1のNPNトランジスタ(31)のコレクタ端子に接続されるベース端子と、ダイオード(33)を介してトランス(2)の3次巻線(30)の上(黒点)側に接続されるエミッタ端子と、同期整流用MOS-FET(9)のゲート端子に接続されるコレクタ端子とを備えている。第2のNPNトランジスタ(37)は、互いに逆極性で直列に接続された2つのダイオード(35,36)を介して第1のNPNトランジスタ(31)のコレクタ端子に接続されるベース端子と、同期整流用MOS-FET(9)のソース端子に接続されるエミッタ端子と、同期整流用MOS-FET(9)のゲート端子に接続されるコレクタ端子とを備えている。2つの抵抗(32,38)、3つのダイオード(33,35,36)、PNPトランジスタ(34)及び第2のNPNトランジスタ(37)は、3次巻線(30)とリアクトル電流検出手段(31)と同期整流用スイッチング素子(9)の制御端子とに接続された切換回路(13)を構成する。

[0030] 図6に示すスイッチング電源装置では、主制御回路(5)から主MOS-FET(4)のゲート端子に高電圧レベルの主制御信号 $V_G$ が付与され、主MOS-FET(4)がオンになると、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。ここで、直流電源(1)の電圧を $E[V]$ 、トランス(2)の1次巻線(3)のインダクタンスを $L_p[H]$ とすると、主MOS-FET(4)のオン期間 $t_{ON}[s]$ 中にエネルギー:

$$(E^2/2L_p) \times t_{ON}^2 [J]$$

がトランス(2)に蓄積される。また、トランス(2)の2次巻線(6)には電流が流れず、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれ $N_p, N_s$ とすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧 $V_s$ :

$$V_s = (N_s/N_p) \times E [V]$$

が発生する。このとき、第1のNPNトランジスタ(31)のベース及びエミッタを介してリアクトル(11)にエネルギーを蓄積する電流 $I_L$ が流れる。ここで、リアクトル(11)のインダクタンスを $L[H]$ とすると、毎秒 $V_s/L$ の割合で1次関数的に増加する電流 $I_L$ がリアクトル(11)に流れ、主MOS-FET(4)のオン期間 $t_{ON}[s]$ 中にエネルギー:

$$(V_s^2/2L) \times t_{ON}^2 [J]$$

がリアクトル(11)に蓄積される。また、第1のNPNTランジスタ(31)のベース端子に電流  $I_L$  が流れるため、第1のNPNTランジスタ(31)はオン状態となる。更に、トランス(2)の3次巻線(30)にも上(黒点)側を負(-)、下側を正(+)とする電圧が発生するため、切換回路(13)を構成するPNPトランジスタ(34)はオフ状態、第2のNPNTランジスタ(37)はオフ状態となり、同期整流用MOS-FET(9)はオフ状態を保持する。

[0031] 次に、主制御回路(5)から主MOS-FET(4)のゲート端子に付与される主制御信号  $V_G$  が高電圧レベルから低電圧レベルとなり、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧  $V_s$  :

$$V_s = (N_s/N_p) \times E [V]$$

が発生する。これと同時に、3次巻線(30)にも上(黒点)側を正(+)、下側を負(-)とする電圧が発生する。このとき、リアクトル(11)に蓄積されたエネルギーを放出する電流  $I_L$  が第1のNPNTランジスタ(31)のベース及びエミッタを介して出力端子(7,8)側へ流れ、第1のNPNTランジスタ(31)はオン状態を保持する。よって、切換回路(13)を構成するダイオード(36)のカソード端子が低電圧レベルとなるため、抵抗(32)及び第1のNPNTランジスタ(31)を介してPNPトランジスタ(34)のベース端子に電流が流れ、PNPトランジスタ(34)がオン状態となる。また、ダイオード(35)のカソード端子も低電圧レベルとなるため、第2のNPNTランジスタ(37)のベース端子には電流が流れず、第2のNPNTランジスタ(37)はオフ状態となる。これにより、トランス(2)の3次巻線(30)に発生した電圧が切換回路(13)内のダイオード(33)及びPNPトランジスタ(34)を介して同期整流用MOS-FET(9)のゲート端子に付与され、ベース電流が流れて同期整流用MOS-FET(9)がオンとなる。

[0032] 同期整流用MOS-FET(9)がオンになると、主MOS-FET(4)のオン期間  $t_{ON}$  [s]中にトランス(2)の2次巻線(6)に蓄積されたエネルギー:

$$(E^2/2L_p) \times t_{ON}^2 [J]$$

が放出され、トランス(2)の2次巻線(6)から同期整流用MOS-FET(9)を介して出力端子(7,8)に電流が流れる。ここで、トランス(2)の2次巻線(6)のインダクタンスを  $L_s$  [H]とす

ると、同期整流用MOS-FET(9)のオン期間中に2次巻線(6)の電流 $I_s$ が毎秒 $V_o/L_s$ の割合で1次関数的に減少するため、2次巻線(6)に蓄積されたエネルギーが傾き：

$$(V_o^2/2L_s) \times t^2$$

で減少する。ところで、トランス(2)の1次巻線(3)及び2次巻線(6)のインダクタンス $L_p, L_s$  [H]と巻数 $N_p, N_s$ との間には下式の関係：

$$L_s = (N_s/N_p)^2 \times L_p$$

が成立するので、トランス(2)に蓄積されたエネルギーの放出時間 $t_T$ は、

$$t_T = (N_s \cdot E / N_p \cdot V_o) \times t_{ON} \text{ [s]}$$

となる。これと同時に、主MOS-FET(4)のオン期間 $t_{ON}$  [s]中にリアクトル(11)に蓄積された $(V_s^2/2L) \times t_{ON}^2$  [J]のエネルギーが第1のNPNTランジスタ(31)のベース及びエミッタを介して放出され、リアクトル(11)に流れる電流 $I_L$ が毎秒 $V_o/L$ の割合で1次関数的に減少する。これにより、リアクトル(11)に蓄積されたエネルギーが同期整流用MOS-FET(9)のオン期間中に $(V_o^2/2L) \times t^2$ の傾きで減少する。よって、リアクトル(11)に蓄積されたエネルギーの放出時間 $t_L$ は、

$$t_L = (N_s \cdot E / N_p \cdot V_o) \times t_{ON} \text{ [s]}$$

となり、トランス(2)に蓄積されたエネルギーの放出時間 $t_T$ に略等しくなる。

[0033] リアクトル(11)に蓄積されたエネルギーが全て放出され、リアクトル(11)に蓄積されたエネルギーを放出する電流 $I_L$ が流れなくなると、第1のNPNTランジスタ(31)のベース端子に電流が流れないため、第1のNPNTランジスタ(31)はオフ状態となる。これにより、切換回路(13)を構成するダイオード(36)のカソード端子が高電圧レベルとなるため、抵抗(32)及び第1のNPNTランジスタ(31)を介してPNPトランジスタ(34)のベース端子に電流が流れず、PNPトランジスタ(34)がオフ状態となる。また、ダイオード(35)のカソード端子も高電圧レベルとなるため、第2のNPNTランジスタ(37)のベース端子に電流が流れ、第2のNPNTランジスタ(37)がオン状態となる。これにより、同期整流用MOS-FET(9)のゲート・ソース間の電圧が略0[V]となるため、同期整流用MOS-FET(9)がオンからオフに切り換えられ、同期整流動作が終了する。

このように、切換回路(13)は、主MOS-FET(4)のオン時に、同期整流用MOS-FET(9)をオフに保持してトランス(2)の3次巻線(30)にエネルギーを蓄積させ、主MOS-FET



T(4)のオフ時に、第1のNPNTランジスタ(31)のベース端子に電流が流れてリアクトル(11)に蓄積されたエネルギーを放出する電流 $I_L$ を検出したとき、同時に3次巻線(30)に発生する電圧により同期整流用MOS-FET(9)をオンに切換え、第1のNPNTランジスタ(31)のベース端子に電流が流れなくなり、リアクトル(11)に流れる電流 $I_L$ を検出なくなったとき、同期整流用MOS-FET(9)をオフに切り換える。この場合に、トランス(2)の3次巻線(30)、第1のNPNTランジスタ(31)及び切換回路(13)は、同期整流制御回路(12)を構成する。その他の構成は、図1に示す実施例1のスイッチング電源装置と略同様である。

- [0034] 実施例3でも前述の実施例1と略同様に、トランス(2)の2次巻線(6)と並列に第1のNPNTランジスタ(31)のベース及びエミッタを介して接続されたリアクトル(11)のエネルギーの蓄積期間及び放出期間に応じて同期整流用MOS-FET(9)がオン・オフ制御されるので、直流電源(1)の電圧 $E$ 及び出力端子(7,8)間の直流出力電圧 $V_o$ の変動に応じて同期整流動作の期間が自動的に調整され、効率よく同期整流動作を行うことができる。したがって、幅広い入出力範囲でトランス(2)の2次巻線(6)から同期整流用MOS-FET(9)及び出力平滑コンデンサ(10)を介して取り出す直流出力電圧 $V_o$ の電力損失を抑制することが可能である。また、リアクトル(11)に蓄積されたエネルギーも第1のNPNTランジスタ(31)のベース及びエミッタを介して全て出力端子(7,8)側に送出されるため、同期整流回路での電力損失を最小限に抑えられる利点がある。

#### 実施例 4

- [0035] また、図1の実施例1に示すスイッチング電源装置の同期整流制御回路(12)は、図7に示す実施例4のスイッチング電源装置のように1つのEX-OR(排他的論理和)ゲート(40)で構成することも可能である。即ち、EX-ORゲート(40)の第1の入力端子(40a)をリアクトル(11)の一端と第1のダイオード(15)との接続点Bに接続し、同第2の入力端子(40b)をリアクトル(11)の他端と同期整流用MOS-FET(9)のドレイン端子との接続点Aに接続し、同出力端子(40c)を同期整流用MOS-FET(9)のゲート端子に接続することにより、同期整流制御回路(12)を構成する。
- [0036] 図7に示すスイッチング電源装置では、主MOS-FET(4)のオン時に、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネ

ルギが蓄積される。このとき、トランス(2)の2次巻線(6)に上(黒点)側を負(-)、下側を正(+)とする電圧 $V_s = (N_s/N_p) \times E[V]$ が発生し、リアクトル(11)の他端の電圧 $V_A$ がトランス(2)の2次巻線(6)に発生する電圧 $V_s$ に略等しくなり、リアクトル(11)の一端の電圧 $V_B$ が出力端子(7,8)間の直流出力電圧 $V_O$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_O + V_F$ に略等しくなる。これにより、第1のダイオード(15)を介してリアクトル(11)に電流 $I_L$ が流れ、リアクトル(11)にエネルギーが蓄積される。このとき、EX-ORゲート(40)の第1の入力端子(40a)及び第2の入力端子(40b)にそれぞれ高電圧レベルの電圧が印加されるため、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に低電圧レベルの同期制御信号 $V_{sc}$ が付与され、同期整流用MOS-FET(9)がオフに保持される。

- [0037] 次に、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_s$ ：

$$V_s = (N_s/N_p) \times E[V]$$

が発生する。このとき、リアクトル(11)の他端の電圧 $V_A$ が略0[V]となるため、EX-ORゲート(40)の第2の入力端子(40b)には低レベルの電圧が印加される。一方、リアクトル(11)の一端の電圧 $V_B$ は出力端子(7,8)間の直流出力電圧 $V_O$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_O + V_F$ に略等しいため、EX-ORゲート(40)の第1の入力端子(40a)には高電圧レベルの電圧が印加される。したがって、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が低電圧レベルから高電圧レベルとなり、同期整流用MOS-FET(9)がオフからオンに切り換えられる。これにより、主MOS-FET(4)のオン期間中にトランス(2)に蓄積されたエネルギーが2次巻線(6)から出力端子(7,8)へ放出されると共に、リアクトル(11)に蓄積されたエネルギーが第1のダイオード(15)を介して出力端子(7,8)へ放出される。

- [0038] リアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に電流 $I_L$ が流れなくなると、リアクトル(11)の一端の電圧 $V_B$ が $V_O + V_F[V]$ から急激に略0[V]まで低下する。このとき、EX-ORゲート(40)の第1の入力端子(40a)に低レベルの電圧が印加される。また、リアクトル(11)の他端の電圧 $V_A$ は略0[V]であるから、EX-ORゲート(40)

の第2の入力端子(40b)にも低レベルの電圧が印加される。これにより、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が高電圧レベルから低電圧レベルとなるため、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。

[0039] 以上のように、図7に示す実施例4のスイッチング電源装置でも図1に示す実施例1のスイッチング電源装置と略同様の動作をするため、実施例4でも実施例1と略同様の作用及び効果が得られる。更に、実施例4では同期整流制御回路(12)を1つのEX-ORゲート(40)で構成するため、実施例1に比較して同期整流制御回路(12)の構成を大幅に簡略化できる利点がある。

[0040] 実際には、リアクトル(11)の一端の電圧 $V_B$ 及び同下端の電圧 $V_A$ の範囲がEX-ORゲート(40)の入力電圧の範囲を超える場合が多いため、図8に示すように、リアクトル(11)の一端とEX-ORゲート(40)の第1の入力端子(40a)との間及びリアクトル(11)の他端とEX-ORゲート(40)の第2の入力端子(40b)との間にそれぞれ第1のレベルシフト用抵抗(41,42)及び第2のレベルシフト用抵抗(43,44)を接続することが望ましい。更に、図9に示すように、リアクトル(11)の一端の電圧 $V_B$ 又は同下端の電圧 $V_A$ が負(-)になるとき、それぞれの電圧 $V_B, V_A$ を0[V]にクランプする第1のクランプ用ダイオード(45)及び第2のクランプ用ダイオード(46)を第1のレベルシフト用抵抗(41,42)の接続点と接地端子との間及び第2のレベルシフト用抵抗(43,44)の接続点と接地端子との間に接続してもよい。

## 実施例 5

[0041] ところで、実施例4では、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、リアクトル(11)の他端の電圧 $V_A$ が略0[V]であるとしたが、実際にはトランス(2)に蓄積されたエネルギーの放出が完了した後にリアクトル(11)の他端にリングングによる振動電圧が発生する。このため、リアクトル(11)の他端の電圧 $V_A$ がEX-ORゲート(40)の閾値電圧以下とならず、EX-ORゲート(40)の第2の入力端子(40b)に高電圧レベルの電圧が付与されることがある。したがって、この場合は、リアクトル(11)に蓄積されたエネルギーの放出が完了したとき、EX-ORゲート(40)の出力端子(40c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が高電圧レベルとなり、同

期整流用MOS-FET(9)をオンからオフに切り換えられない不具合が発生する。そこで、図10に示す実施例5のスイッチング電源装置では、EX-ORゲート(40)の代わりにANDゲート(50)及び反転器(51)により同期整流制御回路(12)を構成する。即ち、ANDゲート(50)の第1の入力端子(50a)をリアクトル(11)の一端と第1のダイオード(15)との接続点Bに接続し、同第2の入力端子(50b)を反転器(51)を介してリアクトル(11)の他端と同期整流用MOS-FET(9)のドレイン端子との接続点Aに接続し、同出力端子(50c)を同期整流用MOS-FET(9)のゲート端子に接続することにより、同期整流制御回路(12)を構成する。

[0042] 図10に示すスイッチング電源装置では、主MOS-FET(4)がオンのとき、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。このとき、トランス(2)の2次巻線(6)に上(黒点)側を負(-)、下側を正(+)とする電圧 $V_s = (N_s/N_p) \times E[V]$ が発生し、リアクトル(11)の他端の電圧 $V_A$ がトランス(2)の2次巻線(6)に発生する電圧 $V_s$ に略等しくなり、リアクトル(11)の一端の電圧 $V_B$ が出力端子(7,8)間の直流出力電圧 $V_o$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_o + V_F$ に略等しくなる。これにより、第1のダイオード(15)を介してリアクトル(11)に電流 $I_L$ が流れ、リアクトル(11)にエネルギーが蓄積される。このとき、ANDゲート(50)の第1の入力端子(50a)に高電圧レベルの電圧が印加され、同第2の入力端子(50b)に反転器(51)を介して低レベルの電圧が印加されるため、ANDゲート(50)の出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に低電圧レベルの同期制御信号 $V_{sc}$ が付与され、同期整流用MOS-FET(9)がオフに保持される。

[0043] 次に、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_s = (N_s/N_p) \times E[V]$ が発生する。このとき、リアクトル(11)の他端の電圧 $V_A$ が略0[V]となるため、反転器(51)を介してANDゲート(50)の第2の入力端子(50b)に高電圧レベルの電圧が印加される。一方、リアクトル(11)の一端の電圧 $V_B$ は出力端子(7,8)間の直流出力電圧 $V_o$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_o + V_F$ に略等しいため、ANDゲート(50)の第1の入力端子(50a)には高電圧レベルの電圧が印加される。したがって、ANDゲート(50)の出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に付

与される同期制御信号 $V_{sc}$ が低電圧レベルから高電圧レベルとなり、同期整流用MOS-FET(9)がオフからオンに切り換えられる。これにより、主MOS-FET(4)のオン期間中にトランス(2)に蓄積されたエネルギーが2次巻線(6)から出力端子(7,8)へ放出されると共に、リアクトル(11)に蓄積されたエネルギーが第1のダイオード(15)を介して出力端子(7,8)へ放出される。

[0044] リアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に電流 $I_L$ が流れなくなると、リアクトル(11)の一端の電圧 $V_B$ が $V_O + V_F$  [V]から急激に略0[V]まで低下する。このとき、ANDゲート(50)の第1の入力端子(50a)に低レベルの電圧が印加される。これにより、リアクトル(11)の他端から反転器(51)を介してANDゲート(50)の第2の入力端子(50b)に入力される低電圧レベル又は高電圧レベルの何れの場合でも、出力端子(50c)から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が高電圧レベルから低電圧レベルとなるため、同期整流用MOS-FET(9)がオンからオフとなり、同期整流動作が終了する。

[0045] 実施例5では、リアクトル(11)に蓄積されたエネルギーの放出が完了した後にリアクトル(11)の他端に発生するリンギングによる振動電圧のレベルが大きい場合でも、同期整流用MOS-FET(9)を確実にオンからオフに切り換えることができる。

[0046] なお、実施例5の同期整流制御回路(12)を構成するANDゲート(50)及び反転器(51)は、実際には1種類の論理素子で構成することが製造コスト上望ましいため、図11に示すように第1乃至第3のNANDゲート(52,53,54)で同期整流制御回路(12)を構成する方がより好ましい。即ち、図11に示す第1及び第3のNANDゲート(52,54)は反転器を構成するので、第1のNANDゲート(52)を図10に示す反転器(51)の代わりに接続し、第2のNANDゲート(53)を図10に示すANDゲート(50)の代わりに接続し、第3のNANDゲート(54)を第2のNANDゲート(53)の後段に接続すれば、図10と等価な同期整流制御回路(12)が得られる。

## 実施例 6

[0047] また、実施例1のもう一つの変更実施の形態を示す実施例6のスイッチング電源装置では、図12に示すように、第1のダイオード(15)のカソード端子と同期整流用MOS-FET(9)のソース端子との間に駆動用NPNトランジスタ(60)及び駆動用MOS-FET

(61)が直列に接続される。駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点は、同期整流用MOS-FET(9)のゲート端子に接続され、同期整流用MOS-FET(9)のゲート・ソース端子間に第1の抵抗(62)が接続される。第1のNORゲート(21)の出力端子は、駆動用NPNトランジスタ(60)のベース端子に接続され、第2のNORゲート(63)の第1の入力端子は、第1のNORゲート(21)の出力端子に接続される。第2のNORゲート(63)の第2の入力端子は、分圧抵抗(19,20)の分圧点に接続されると共に、第2のNORゲート(63)の出力端子は、駆動用MOS-FET(61)のゲート端子に接続される。第2のダイオード(17)のカソード端子及びコンデンサ(22)の接続点と駆動用MOS-FET(61)のゲート端子との間に第2の抵抗(64)が接続されて分圧抵抗(19,20)及び第1のNORゲート(21)と共に切換回路(13)を構成し、図1に示す第3のダイオード(18)、第2のダイオード(23)及び第4のダイオード(24)は、省略される。その他の構成は、図1に示す実施例1のスイッチング電源装置と略同様である。

- [0048] 図12に示すスイッチング電源装置では、主MOS-FET(4)のオン時に、直流電源(1)からトランス(2)の1次巻線(3)及び主MOS-FET(4)に電流が流れ、トランス(2)にエネルギーが蓄積される。また、トランス(2)の2次巻線(6)には電流が流れず、直流電源(1)の電圧を $E[V]$ 、トランス(2)の1次巻線(3)及び2次巻線(6)の巻数をそれぞれ $N_p, N_s$ とすると、トランス(2)の2次巻線(6)には上(黒点)側を負(-)、下側を正(+)とする電圧 $V_s$ ：

$$V_s = (N_s / N_p) \times E[V]$$

が発生する。このとき、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ はトランス(2)の2次巻線(6)に発生する電圧 $V_s$ に略等しく、リアクトル(11)の一端と第1のダイオード(15)との接続点Bの電圧 $V_B$ は出力端子(7,8)間の直流出力電圧 $V_o$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_o + V_F$ に略等しいため、第1のダイオード(15)を介してリアクトル(11)に電流 $I_L$ が流れ、リアクトル(11)にエネルギーが蓄積される。

- [0049] 一方、同期整流用MOS-FET(9)のドレイン・ソース端子間には、トランス(2)の2次巻線(6)の電圧 $V_s$ ：

$$V_s = (N_s / N_p) \times E[V]$$

と出力端子(7,8)間の直流出力電圧 $V_o$ との和電圧

$$V_s + V_o$$

が発生する。この和電圧 $V_s + V_o$ は、同期整流制御回路(12)を構成する切換回路(13)内の分圧抵抗(19,20)により分圧され、分圧抵抗(19,20)の分圧点の電圧が第1のNORゲート(21)の第1の入力端子に入力される。よって、主MOS-FET(4)がオンのときは分圧抵抗(19,20)の分圧点の電圧が高電圧レベルとなるので、第1のNORゲート(21)の出力信号が低電圧レベルとなり、駆動用NPNトランジスタ(60)がオフとなる。また、第2のNORゲート(63)の第2の入力端子にも分圧抵抗(19,20)の分圧点からの高電圧レベルの電圧が印加されるため、第2のNORゲート(63)の出力信号も低電圧レベルとなり、駆動用MOS-FET(61)もオフとなる。したがって、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与すべき同期制御信号 $V_{sc}$ が出力されないが、第1の抵抗(62)により同期整流用MOS-FET(9)のゲート端子の低電圧レベルに保持され、切換回路(13)は消勢状態を保持する。これにより、同期整流用MOS-FET(9)はオフを保持する。このとき、同期整流制御回路(12)を構成するリセット検出回路(14)内の第1の反転器(16)にリアクトル(11)の一端と第1のダイオード(15)との接続点Bからの高電圧レベルの電圧が印加され、第1の反転器(16)の出力が低電圧レベルとなるので、コンデンサ(22)の電圧 $V_c$ が低電圧レベルに保持される。

[0050] 次に、主MOS-FET(4)がオンからオフになると、トランス(2)の2次巻線(6)に発生する電圧の極性が反転し、上(黒点)側を正(+)、下側を負(-)とする電圧 $V_s$ ：

$$V_s = (N_s / N_p) \times E[V]$$

が発生する。このとき、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ が略0[V]となり、分圧抵抗(19,20)の分圧点の低電圧レベルとなるので、第1のNORゲート(21)の第1の入力端子には低レベルの電圧が印加される。このとき、リアクトル(11)の一端と第1のダイオード(15)との接続点Bの電圧 $V_B$ は、出力端子(7,8)間の直流出力電圧 $V_o$ と第1のダイオード(15)の順方向電圧 $V_F$ との和電圧 $V_o + V_F$ に略等しいため、リセット検出回路(14)内の第1の反転器(16)に高電圧レベルの電圧が印加され、第1の反転器(16)の出力が低電圧レベルとなる。また、第2のNORゲート(63)の出力信号も低電圧レベルであるから、第2の抵抗(64)を介してコンデンサ(22)の電圧 $V_c$ も

低電圧レベルを保持し、第1のNORゲート(21)の第2の入力端子に低レベルの電圧が印加される。したがって、第1のNORゲート(21)の出力端子から高電圧レベルの信号が出力され、駆動用MOS-FET(61)がオンとなるため、駆動用NPNトランジスタ(60)のエミッタ端子が高電圧レベルとなる。第2のNORゲート(63)の第1の入力端子には、第1のNORゲート(21)の出力端子からの高電圧レベルの信号が入力されるため、第2のNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に低電圧レベルの信号が付与され、駆動用MOS-FET(61)はオフを保持する。よって、駆動用NPNトランジスタ(60)がオンで駆動用MOS-FET(61)がオフであるから、駆動用NPNトランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が低電圧レベルから高電圧レベルとなり、切換回路(13)は消勢状態から付勢状態に切り換わる。これにより、同期整流用MOS-FET(9)がオンとなり、主MOS-FET(4)のオン期間中にトランス(2)の2次巻線(6)に蓄積されたエネルギーが放出され、トランス(2)の2次巻線(6)から出力端子(7,8)に1次関数的に減少する電流 $I_s$ が流れる。これと同時に、主MOS-FET(4)のオン期間中にリアクトル(11)に蓄積されたエネルギーも第1のダイオード(15)を介して放出され、リアクトル(11)に流れる電流 $I_L$ が1次関数的に減少する。

- [0051] リアクトル(11)に蓄積されたエネルギーの放出が完了し、リアクトル(11)に流れる電流 $I_L$ が略ゼロになると、リアクトル(11)の一端と第1のダイオード(15)との接続点Bでのリセット電圧 $V_B$ が $V_O + V_F$  [V]から急激に低下する。このとき、リセット検出回路(14)内の第1の反転器(16)に低レベルの電圧が印加され、第1の反転器(16)から第2のダイオード(17)を介してコンデンサ(22)に高電圧レベルの電圧が印加される。これにより、コンデンサ(22)が充電され、切換回路(13)内の第1のNORゲート(21)の第2の入力端子に高電圧レベルの電圧が印加される。これにより、第1のNORゲート(21)の出力端子から駆動用NPNトランジスタ(60)のベース端子に低電圧レベルの信号が付与され、駆動用NPNトランジスタ(60)がオフとなる。一方、リアクトル(11)の他端と分圧抵抗(19)との接続点Aの電圧 $V_A$ は略0[V]であるから、切換回路(13)内の分圧抵抗(19,20)の分圧点の電圧は低電圧レベルを保持し、第2のNORゲート(63)の第2の入力端子に低レ



ベルの電圧が印加される。また、第1のNORゲート(21)の出力端子から第2のNORゲート(63)の第1の入力端子に低レベルの電圧が印加されるから、第2のNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に高電圧レベルの信号が付与され、駆動用MOS-FET(61)がオンとなる。したがって、駆動用NPNTランジスタ(60)がオフで駆動用MOS-FET(61)がオンであるから、駆動用NPNTランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与される同期制御信号 $V_{sc}$ が低電圧レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。これにより、同期整流用MOS-FET(9)がオフとなり、同期整流動作が終了する。このとき、第2のNORゲート(63)の出力端子から第2の抵抗(64)を介してコンデンサ(22)にも高電圧レベルの電圧が印加されるため、コンデンサ(22)の電圧 $V_c$ は主MOS-FET(4)が再びオンとなるまで高電圧レベルを保持する。また、同期整流用MOS-FET(9)がオフしてから再び主MOS-FET(4)がオンするまでの期間では、リアクトル(11)の他端と分圧抵抗(19)との接続点Aにリンギングによる振動電圧が発生する。

- [0052] ところで、トランス(2)に蓄積されたエネルギーの放出が完了した後にリアクトル(11)の他端にリンギングによる振動電圧が発生し、リアクトル(11)の他端の電圧 $V_A$ が第2のNORゲート(63)の閾値電圧以下とならない場合、第2のNORゲート(63)の第2の入力端子に高電圧レベルの電圧が印加される。この場合は、第2のNORゲート(63)の出力端子から駆動用MOS-FET(61)のゲート端子に低電圧レベルの信号が付与され、駆動用MOS-FET(61)がオフとなる。したがって、駆動用NPNTランジスタ(60)及び駆動用MOS-FET(61)が共にオフとなるから、駆動用NPNTランジスタ(60)のエミッタ端子と駆動用MOS-FET(61)のドレイン端子との接続点から同期整流用MOS-FET(9)のゲート端子に付与すべき同期制御信号 $V_{sc}$ が出力されないが、第1の抵抗(62)により同期整流用MOS-FET(9)のゲート端子の低電圧レベルとなり、切換回路(13)は付勢状態から消勢切換状態に切り換わる。よって、トランス(2)に蓄積されたエネルギーの放出が完了した後、リアクトル(11)の他端の電圧 $V_A$ が第2のNORゲート(63)の閾値電圧以下とならない場合でも、同期整流用MOS-FET(9)がオフとなり、同期整流動作が終了する。

[0053] 実施例6では、主MOS-FET(4)がオンでトランス(2)及びリアクトル(11)にエネルギーを蓄積する期間は、駆動用NPNトランジスタ(60)及び駆動用MOS-FET(61)を共にオフにし、同期整流用MOS-FET(9)のゲート・ソース端子間に接続された第1の抵抗(62)により同期整流用MOS-FET(9)のオフを保持するので、同期整流用MOS-FET(9)のオフ期間中はゲート端子に低電圧レベルの同期制御信号 $V_{sc}$ を継続して付与する必要がなく、同期整流制御回路(12)の消費電力を抑制できる利点がある。

[0054] 本発明の実施態様は前記の6つの実施例1乃至6に限定されず、更に種々の変更が可能である。例えば、実施例1、2及び4乃至6では同期整流用MOS-FET(9)をトランス(2)の2次巻線(6)の下側と負側出力端子(8)との間に接続したが、実施例3に示すようにトランス(2)の2次巻線(6)の上(黒点)側と正側出力端子(7)との間に接続してもよい。また、実施例1及び2の第1の反転器(16)及び第2の反転器(23)はNORゲート(18)と同様の論理素子で構成することができる。即ち、NORゲートの何れか一方の入力端子を接地すればNORゲートをインバータ(反転器)として使用することができる。また、実施例6の負側出力端子(8)と第1のダイオード(15)及び第1の反転器(16)の接続点との間に図1又は図3に示す0Vクランプ用の第3のダイオード(18)を接続してもよい。更に、実施例1乃至6では同期整流用スイッチング素子としてドレイン・ソース端子間に寄生ダイオードを有するMOS-FET(MOS型電界効果トランジスタ)を使用した。IGBT(絶縁ゲート型トランジスタ)、SIT(静電誘導型トランジスタ)又はPNP、NPN型等のバイポーラトランジスタも使用可能である。但し、これらは寄生ダイオードを内蔵しないので、両主端子間に別付けの整流ダイオードを接続すればよい。

#### 産業上の利用可能性

[0055] 本発明は、フライバック方式の同期整流型スイッチング電源装置に効果が顕著である。

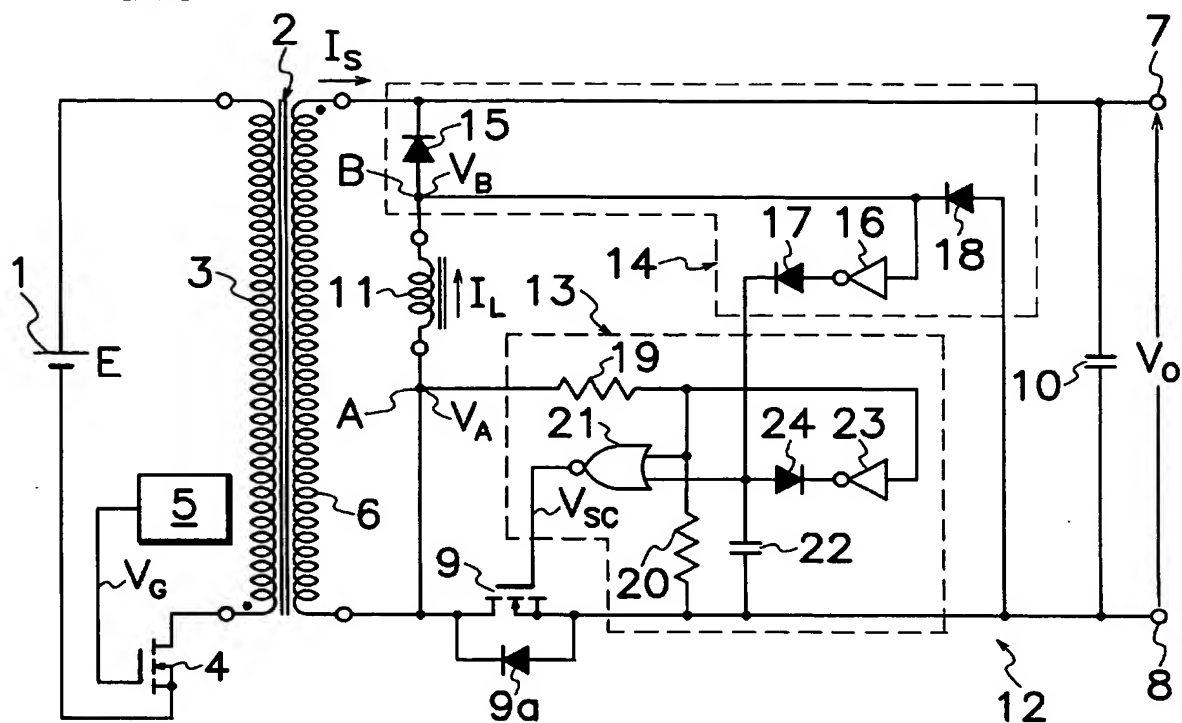
### 請求の範囲

- [1]      トランスの1次巻線と主スイッチング素子とを直流電源に直列に接続し、前記主スイッチング素子をオン・オフ制御することにより、前記トランスの1次巻線及び前記主スイッチング素子に電流を流し、前記トランスの2次巻線に接続された出力端子から直流電力を取り出すスイッチング電源装置において、
- 前記トランスの2次巻線と前記出力端子との間に接続された同期整流用スイッチング素子と、
- 前記トランスの2次巻線に対して並列に接続され且つ前記主スイッチング素子のオン時にエネルギーを蓄積するリアクトルと、
- 前記リアクトルと前記同期整流用スイッチング素子の制御端子とに接続された同期整流制御回路とを備え、
- 前記同期整流制御回路は、前記リアクトルにエネルギーを蓄積する期間は、前記同期整流用スイッチング素子をオフに保持し、前記リアクトルに蓄積されたエネルギーを放出する期間は、前記同期整流用スイッチング素子をオンに保持し、前記リアクトルに蓄積されたエネルギーの放出が完了したとき、前記同期整流用スイッチング素子をオフにすることを特徴とするスイッチング電源装置。
- [2]      前記同期整流制御回路は、前記リアクトルにエネルギーを蓄積する期間は、前記同期整流用スイッチング素子をオフに保持する消勢状態と、前記リアクトルに蓄積されたエネルギーを放出する期間は、前記同期整流用スイッチング素子をオンする付勢状態と、前記リアクトルに蓄積されたエネルギーの放出が完了したとき、前記同期整流用スイッチング素子をオフにする消勢切換状態とに切り換えられる切換回路と、
- 前記リアクトルに蓄積されたエネルギーの放出が完了したとき、前記リアクトルのリセットを検出すると共に、前記切換回路を付勢状態から消勢状態に切り換えて前記同期整流用スイッチング素子をオフにするリセット検出回路とを備えた請求項1に記載のスイッチング電源装置。
- [3]      前記リセット検出回路は、前記2次巻線の一端と前記リアクトルの一端との間に接続された整流素子と、前記リアクトルに蓄積されたエネルギーの放出が完了したときに前記整流素子と前記リアクトルの一端との接続点に発生するリセット電圧の低下を検出

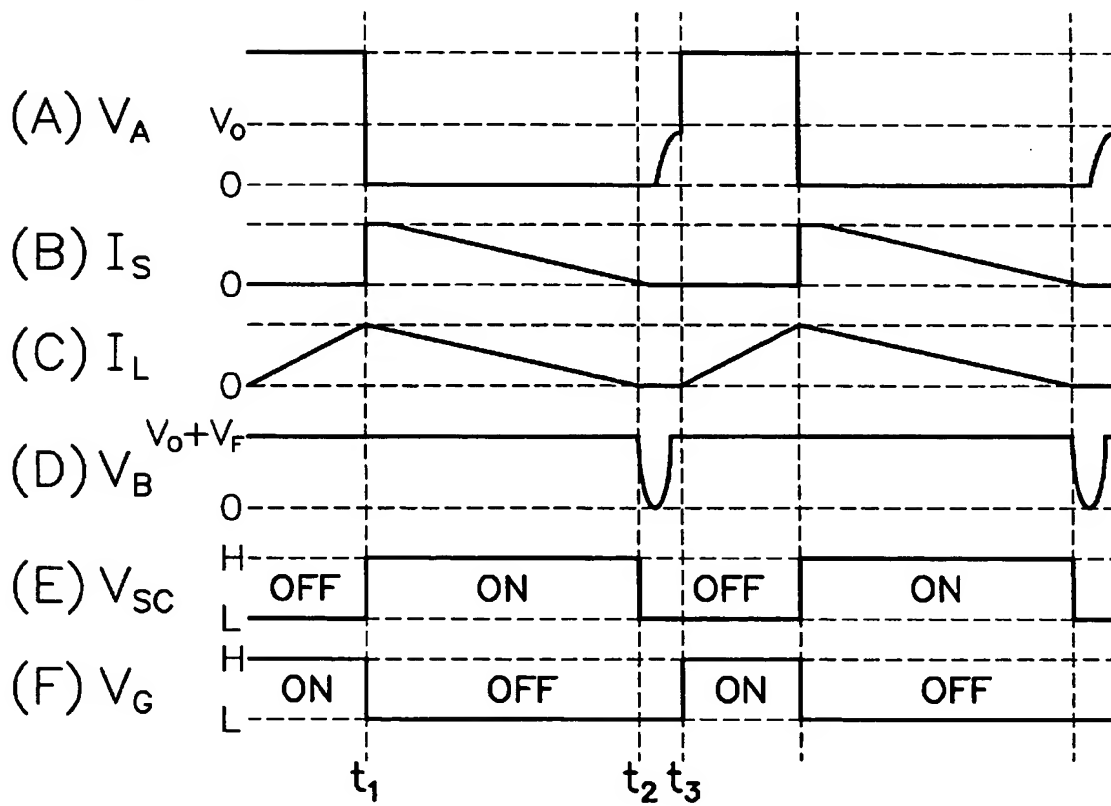
して前記切換回路を消勢切換状態に切り換えるリセット電圧検出手段とを有する請求項2に記載のスイッチング電源装置。

- [4] 前記切換回路は、前記リアクトルの他端に接続されて前記リアクトルにエネルギーを蓄積する蓄積期間を検出する第1の入力端子と、前記リセット検出回路に接続された第2の入力端子と、前記同期整流用スイッチング素子の制御端子に接続された出力端子とを有する切換制御手段を備えた請求項3に記載のスイッチング電源装置。
- [5] 前記リアクトルの他端に発生する電圧のパルス幅が狭いとき、前記切換制御手段の第2の入力端子の電圧レベルを保持して前記切換回路の消勢状態を保持する保持回路を前記リアクトルの他端と前記切換制御手段の第2の入力端子との間に接続した請求項4に記載のスイッチング電源装置。
- [6] 前記同期整流制御回路は、前記トランスの3次巻線と、前記リアクトルに接続され且つ前記リアクトルにエネルギーを蓄積する電流又は前記リアクトルに蓄積されたエネルギーを放出する電流を検出するリアクトル電流検出手段と、前記3次巻線と前記リアクトル電流検出手段と前記同期整流用スイッチング素子の制御端子とに接続された切換回路とを備え、
- 前記3次巻線は、前記トランスの2次巻線及び前記リアクトルにエネルギーが蓄積されると同時にエネルギーが蓄積され、
- 前記切換回路は、前記同期整流用スイッチング素子をオフに保持して前記3次巻線にエネルギーを蓄積させ、前記リアクトル電流検出手段が前記リアクトルに蓄積されたエネルギーを放出する電流を検出したとき、同時に前記3次巻線に発生する電圧により前記同期整流用スイッチング素子をオンにし、前記リアクトル電流検出手段が前記リアクトルに流れる電流を検出しなくなったとき、前記同期整流用スイッチング素子をオフに切り換える請求項1又は2に記載のスイッチング電源装置。

[図1]

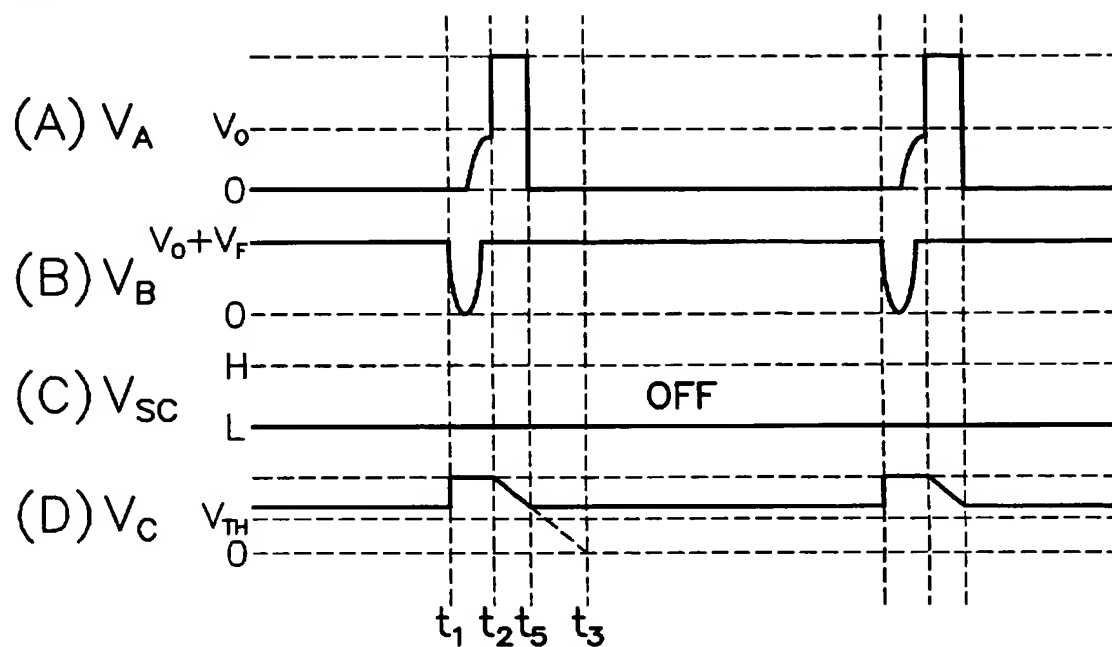


[図2]

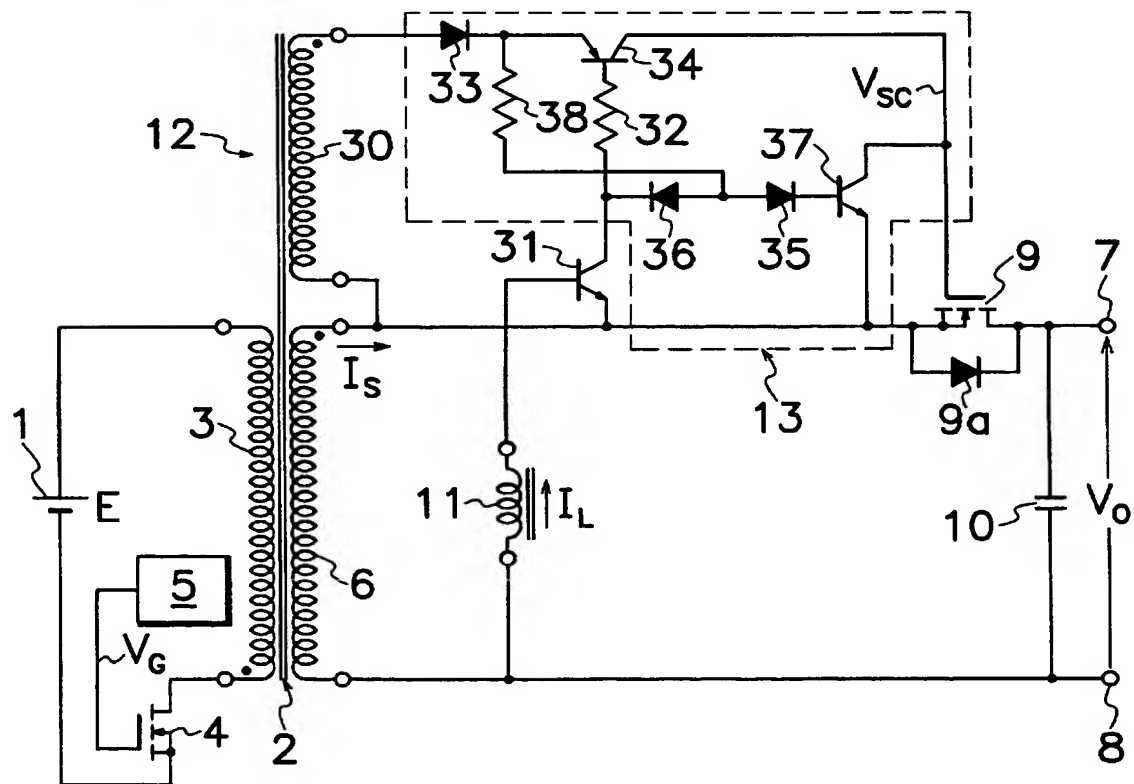




[図5]



[図6]

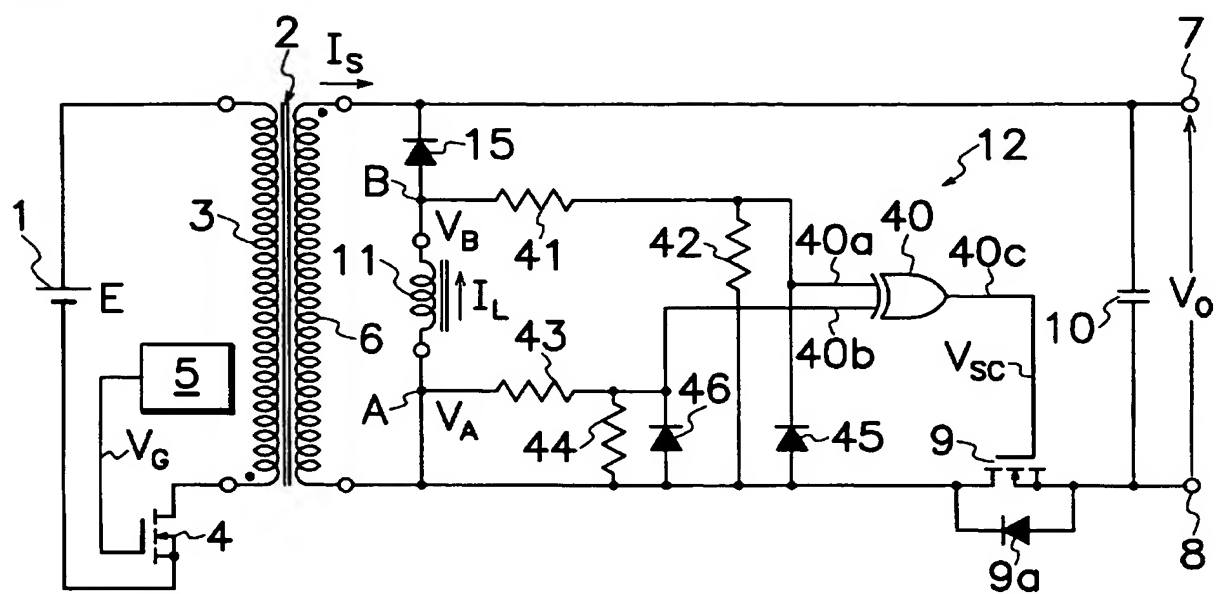


[illegible]

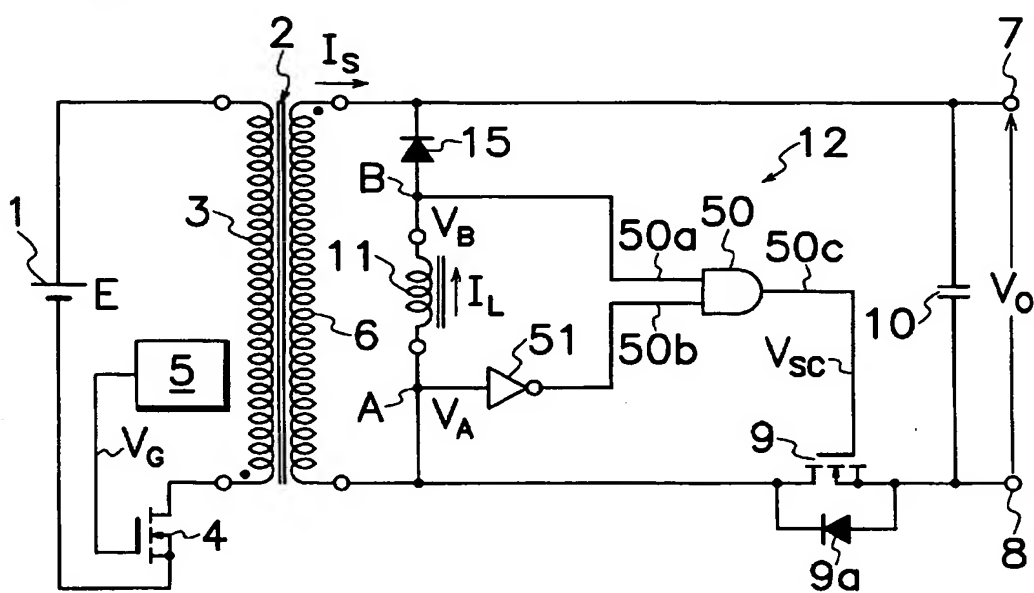
The circuit diagram shows a power MOSFET driver. A transformer (3) is used for gate drive, with its primary (11) connected to a DC source (E) through a switch (1) and a gate voltage source (5) with voltage  $V_G$ . The secondary (12) is connected to the gate of a MOSFET (9) through a diode (15) and a resistor (41). The MOSFET (9) is driven by a base-emitter junction (40) of a bipolar transistor (40a, 40b, 40c) which is also connected to the secondary (12) through a resistor (43). The MOSFET (9) is connected to a load (42) and a current-sensing resistor (44). The current through the load is  $I_L$ . The MOSFET (9) is biased by a base-emitter junction (40) of a bipolar transistor (40a, 40b, 40c) which is also connected to the secondary (12) through a resistor (43). The MOSFET (9) is connected to a load (42) and a current-sensing resistor (44). The current through the load is  $I_L$ . The MOSFET (9) is biased by a base-emitter junction (40) of a bipolar transistor (40a, 40b, 40c) which is also connected to the secondary (12) through a resistor (43). The MOSFET (9) is connected to a load (42) and a current-sensing resistor (44). The current through the load is  $I_L$ .



[図9]



[図10]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009115

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-245943 A (Nemic-Lambda Kabushiki Kaisha), 19 September, 1995 (19.09.95), Par. Nos. [0011] to [0030]; Figs. 1 to 3 (Family: none)	1 2-6
A	JP 9-215325 A (Fujitsu Denso Ltd.), 15 August, 1997 (15.08.97), Par. Nos. [0013] to [0027]; Figs. 1 to 3 (Family: none)	1-6
A	JP 8-317639 A (Ohira Electronics Co., Ltd.), 29 November, 1996 (29.11.96), Par. Nos. [0018] to [0029]; Figs. 1, 2 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
22 September, 2004 (22.09.04)Date of mailing of the international search report  
12 October, 2004 (12.10.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/009115

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-312972 A (Nagano Nihon Musen Kabushiki Kaisha), 02 December, 1997 (02.12.97), Full text; Figs. 1 to 6 (Family: none)	1-6

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 7-245943 A (ネミック・ラムダ株式会社) 19.09.1995, 【0011】-【0030】, 図1-3 (ファミリーなし)	1 2-6
A	JP 9-215325 A (富士通電装株式会社) 15.08.1997, 【0013】-【0027】, 図1-3 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

22.09.2004

国際調査報告の発送日

12.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-317639 A (大平電子株式会社) 29. 11. 1996, 【0018】 - 【0029】, 図1, 2 (ファミリーなし)	1-6
A	JP 9-312972 A (長野日本無線株式会社) 02. 12. 1997, 全文, 図1-6 (ファミリーなし)	1-6